

PHOTODETECTOR

Publication number: JP2002340670 (A)

Publication date: 2002-11-27

Inventor(s): MIZUNO SEIICHIRO; YAMAMOTO HIROO; FUJITA KAZUKI; KOSAKA NAOHISA; TOYODA HARUYOSHI

Applicant(s): HAMAMATSU PHOTONICS KK

Classification:

- international: G01V9/00; G01J1/02; G01J1/44; G01J1/46; H01L27/146; H04N5/335; G01V9/00; G01J1/02; G01J1/44; G01J1/46; H01L27/146; H04N5/335; (IPC1-7): G01J1/46; G01J1/02; G01J1/44; G01V9/00; H01L27/146; H04N5/335

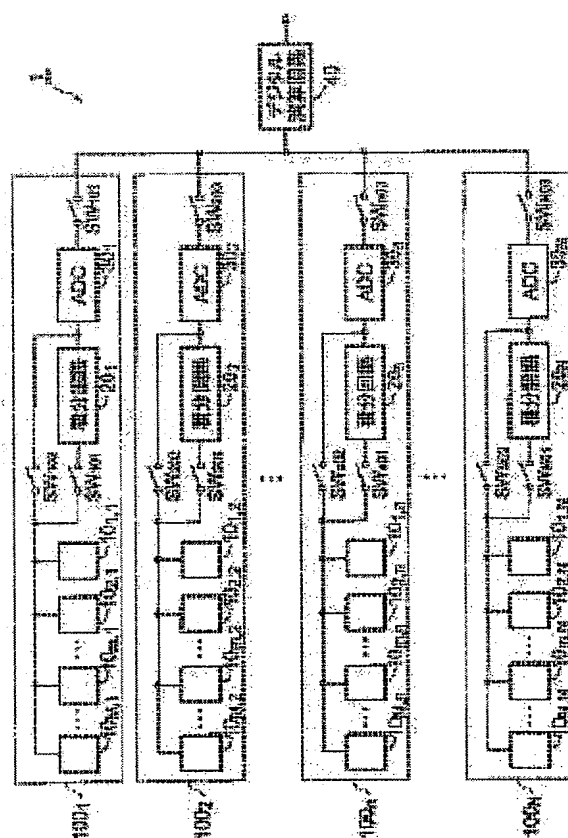
- European:

Application number: JP20010143506 20010514

Priority number(s): JP20010143506 20010514

Abstract of JP 2002340670 (A)

PROBLEM TO BE SOLVED: To reduce the occupied area of a circuit part per one picture element, in a photodetector for extracting a moving body in a photoreceived optical image. **SOLUTION:** This photodetector is provided with N pieces of units 1001-100N and a digital arithmetic circuit 40. The each unit 100n has the same constitution, and is provided with M pieces of photodetection cells 101_n, 10M_n, an integration circuit 20_n, an A/D conversion circuit 30_n, a switch element SWn01, a switch element SWn02 and a switch element SWn03. The M×N pieces of photodetection cells 101₁-10M_N are arrayed two-dimensionally in M lines by N columns, and the photodetection cell 10m_n is positioned in the m-th line in the n-th column. A capacity value of an integral capacity part in the integration circuit 20_n is equal to a capacity value of a cell capacity part in the photodetection cell 10m_n. The digital arithmetic circuit 40 conducts a digital operation for finding the position of the gravity center based on a digital signal output from the A/D conversion circuit 30_n.



Data supplied from the esp@cenet database — Worldwide

6/9

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-340670

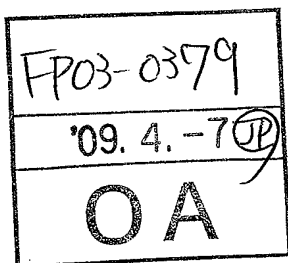
(P2002-340670A)

(43)公開日 平成14年11月27日(2002. 11. 27)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 1 J	1/46	G 0 1 J	2 G 0 6 5
	1/02		Q 4 M 1 1 8
	1/44		L 5 C 0 2 4
			N
G 0 1 V	9/00	G 0 1 V	F
審査請求 未請求 請求項の数 3 O L (全 14 頁) 最終頁に続く			

(21)出願番号 特願2001-143506(P2001-143506)

(22)出願日 平成13年5月14日(2001. 5. 14)



(71)出願人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の1

(72)発明者 水野 誠一郎

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

(72)発明者 山本 洋夫

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

(74)代理人 100088155

弁理士 長谷川 芳樹 (外3名)

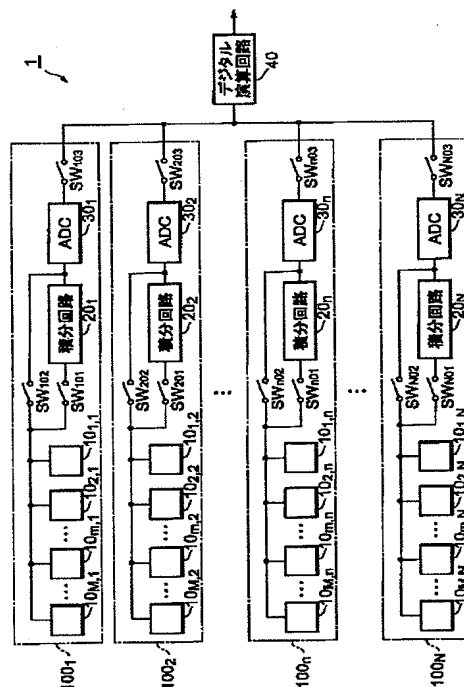
最終頁に続く

(54)【発明の名称】 光検出装置

(57)【要約】

【課題】 受光した光像における動体を抽出する光検出装置であって1画素あたりに占める回路部占有面積が小さいものを提供する。

【解決手段】 N個のユニット100₁~100_Nおよびデジタル演算回路40を備える。各ユニット100_nは、互いに同様の構成であって、M個の光検出セル10_{1,n}~10_{M,n}、積分回路20_n、A/D変換回路30_n、スイッチ素子SW_{n01}、スイッチ素子SW_{n02}およびスイッチ素子SW_{n03}を備える。M×N個の光検出セル10_{1,1}~10_{M,N}はM行N列に2次元配列されており、光検出セル10_{m,n}は第m行第n列に位置している。積分回路20_nの積分容量部の容量値は、光検出セル10_{m,n}のセル容量部の容量値と等しい。デジタル演算回路40は、A/D変換回路30_nから出力されたデジタル信号に基づいて重心位置を求めるデジタル演算を行う。



【特許請求の範囲】

【請求項1】 入射光強度に応じた電荷を発生する光検出素子と、容量値 C_d を有し前記光検出素子で発生した電荷を蓄積するセル容量部と、を各々有し2次元配列された複数の光検出セルと、アンプと容量値 C_{r2} の積分容量部（ただし、 $C_{r2} = C_d$ ）とが入力端子と出力端子との間に並列的に設けられ、前記入力端子に入力した電荷を前記積分容量部に蓄積して、その蓄積された電荷の量に応じた値の積分信号を前記出力端子より出力する積分回路と、前記光検出セルと前記積分回路の前記入力端子との間に設けられた第1のスイッチ素子と、前記積分回路の前記出力端子と前記光検出セルとの間に設けられた第2のスイッチ素子と、前記積分回路の前記出力端子から出力された積分信号を入力し、この積分信号をA/D変換して、この積分信号に応じたデジタル信号を出力するA/D変換回路と、前記A/D変換回路から出力されたデジタル信号を入力し、このデジタル信号に基づいて重心位置を求めるデジタル演算を行って、その演算結果を出力するデジタル演算回路と、を備えることを特徴とする光検出装置。

【請求項2】 入射光強度に応じた電荷を発生する光検出素子と、容量値 C_d を有し前記光検出素子で発生した電荷を蓄積するセル容量部と、を各々有し2次元配列された複数の光検出セルと、アンプと積分容量部とが入力端子と出力端子との間に並列的に設けられ、前記積分容量部の容量値を容量値 C_d およびこれより小さい値の何れかに切り替える容量値切替手段を有し、前記入力端子に入力した電荷を前記積分容量部に蓄積して、その蓄積された電荷の量に応じた値の積分信号を前記出力端子より出力する積分回路と、前記光検出セルと前記積分回路の前記入力端子との間に設けられた第1のスイッチ素子と、前記積分回路の前記出力端子と前記光検出セルとの間に設けられた第2のスイッチ素子と、前記積分回路の前記出力端子から出力された積分信号を入力し、この積分信号をA/D変換して、この積分信号に応じたデジタル信号を出力するA/D変換回路と、前記A/D変換回路から出力されたデジタル信号を入力し、このデジタル信号に基づいて重心位置を求めるデジタル演算を行って、その演算結果を出力するデジタル演算回路と、を備えることを特徴とする光検出装置。

【請求項3】 前記複数の光検出セルがM行N列（ $M \geq 2$ 、 $N \geq 2$ ）に2次元配列され、前記積分回路、前記第1のスイッチ素子、前記第2のスイッチ素子および前記A/D変換回路それぞれが前記複数の光検出セルの列毎に設けられている、ことを特徴とする請求項1または2に記載の光検出装

置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、受光した光像における動体を抽出する光検出装置に関するものである。

【0002】

【従来の技術】CMOS技術を用いた光検出装置は、低コストであって、A/D変換回路や周辺デジタル回路をも含めて1チップ化が可能である。このことから、単なる光検出または撮像だけでなく種々の処理機能（例えば輪郭抽出や動体抽出など）を含んで1チップ化された光検出装置が開発されてきている。

【0003】動体抽出機能を有する光検出装置は、例えば文献「石渡、他、”3次元ジェスチャ認識用CMOSイメージセンサ”、映像情報メディア学会技術報告、Vo 1.23, No.30, pp.13-16（1999）」に記載されている。この文献に記載されている光検出装置は、1画素あたり2つの容量素子および多数のスイッチ素子を設け、或るフレームの撮像の際には画素データを第1の容量素子に記憶し、次のフレームの撮像の際には画素データを第2の容量素子に記憶して、その後、第1および第2の容量素子それぞれに記憶されている画素データの差分を求める。このようにして、この光検出装置は、チップ上で画像処理を行って動体抽出を行うものである。この光検出装置によれば、従来では別に設けた画像メモリに画像データを蓄積した後に画像処理をせざるを得なかったところ、画像メモリを別に設ける必要がない。

【0004】

【発明が解決しようとする課題】しかしながら、上記文献に記載された動体抽出機能を有する光検出装置は、1画素あたり2つの容量素子および多数のスイッチ素子を設け、更に、第1および第2の容量素子それぞれに記憶されている画素データの差分を求める為の差分回路を設ける必要がある。したがって、この光検出装置は、1画素あたりに占める回路部占有面積が大きく、このことから、センサの光応答特性を支配する開口率を高めることができないという致命的な欠点があり、このため、高画質の画像を得ることができない。

【0005】本発明は、上記問題点を解消する為になされたものであり、受光した光像における動体を抽出する光検出装置であって、1画素あたりに占める回路部占有面積が小さく、開口率が高く光応答特性が優れたものを提供することを目的とする。

【0006】

【課題を解決するための手段】本発明に係る第1の光検出装置は、(1) 入射光強度に応じた電荷を発生する光検出素子と、容量値 C_d を有し前記光検出素子で発生した電荷を蓄積するセル容量部と、を各々有し2次元配列された複数の光検出セルと、(2) アンプと容量値 C_{r2} の積分容量部（ただし、 $C_{r2} = C_d$ ）とが入力端子と出力端

子との間に並列的に設けられ、前記入力端子に入力した電荷を前記積分容量部に蓄積して、その蓄積された電荷の量に応じた値の積分信号を前記出力端子より出力する積分回路と、(3) 前記光検出セルと前記積分回路の前記入力端子との間に設けられた第1のスイッチ素子と、(4) 前記積分回路の前記出力端子と前記光検出セルとの間に設けられた第2のスイッチ素子と、(5) 積分回路の出力端子から出力された積分信号を入力し、この積分信号をA/D変換して、この積分信号に応じたデジタル信号を出力するA/D変換回路と、(6) A/D変換回路から出力されたデジタル信号を入力し、このデジタル信号に基づいて重心位置を求めるデジタル演算を行って、その演算結果を出力するデジタル演算回路と、を備えることを特徴とする。

【0007】この第1の光検出装置によれば、或る一定期間に、光検出セルの光検出素子が入射光強度に応じて発生した電荷はセル容量部に蓄積されていく。この一定期間が経過した時点で第1のスイッチ素子が閉じると、それまでセル容量部に蓄積されていた電荷は、積分回路の積分容量部に移動する。その結果、光検出素子の一方の端子の電位は、 ΔV だけ変化してリセットレベルとなり、積分回路から出力される積分信号は、積分容量部に蓄積された電荷に応じたレベルとなる。第1のスイッチ素子が開いた後に第2のスイッチ素子が閉じると、積分回路から出力される積分信号の値に応じた電圧がセル容量部に設定される。積分容量部の容量値はセル容量部の容量値と等しいので、この結果、光検出素子の一方の端子の電位は、リセットレベルから ΔV だけ変化する。

【0008】その後の一定期間に、光検出素子が入射光強度に応じて発生した電荷はセル容量部に蓄積されていく。この一定期間が経過した時点でセル容量部に蓄積されている電荷は、以前に第2のスイッチ素子が閉じたときに積分信号の値に応じて設定された電圧に比例した電荷と、この一定期間に入射光によって光検出素子が発生した電荷とが、重畳されたものである。ただし、重畳される電荷の符号は互いに異なる。したがって、この一定期間が経過した時点で第1のスイッチ素子が閉じると、積分回路から出力される積分信号は、光検出素子へ入射する光強度の増減に応じたものである。

【0009】以上のような第1のスイッチ素子および第2のスイッチ素子の開閉動作は、複数の光検出セルそれぞれについて行われる。したがって、積分回路から出力される積分信号は、複数の光検出セルそれぞれに含まれる光検出素子が受光した光の光量の増減に応じた時系列信号となる。この積分信号はA/D変換回路によりA/D変換され、この積分信号に応じたデジタル信号がA/D変換回路より出力される。そして、デジタル演算回路により、このデジタル信号に基づいて重心位置を求めるデジタル演算が行われて、その演算結果が出力される。

【0010】本発明に係る第2の光検出装置は、(1) 入

射光強度に応じた電荷を発生する光検出素子と、容量値 C_a を有し前記光検出素子で発生した電荷を蓄積するセル容量部と、を各々有し2次元配列された複数の光検出セルと、(2) アンプと積分容量部とが入力端子と出力端子との間に並列的に設けられ、前記積分容量部の容量値を容量値 C_a およびこれより小さい値の何れかに切り替える容量値切替手段を有し、前記入力端子に入力した電荷を前記積分容量部に蓄積して、その蓄積された電荷の量に応じた値の積分信号を前記出力端子より出力する積分回路と、(3) 前記光検出セルと前記積分回路の前記入力端子との間に設けられた第1のスイッチ素子と、(4) 前記積分回路の前記出力端子と前記光検出セルとの間に設けられた第2のスイッチ素子と、(5) 積分回路の出力端子から出力された積分信号を入力し、この積分信号をA/D変換して、この積分信号に応じたデジタル信号を出力するA/D変換回路と、(6) A/D変換回路から出力されたデジタル信号を入力し、このデジタル信号に基づいて重心位置を求めるデジタル演算を行って、その演算結果を出力するデジタル演算回路と、を備えることを特徴とする。

【0011】この第2の光検出装置によれば、或る一定期間に、光検出セルの光検出素子が入射光強度に応じて発生した電荷はセル容量部に蓄積されていく。この一定期間が経過した時点で第1のスイッチ素子が閉じると、それまでセル容量部に蓄積されていた電荷は、積分回路の積分容量部に移動する。その結果、光検出素子の一方の端子の電位は、 ΔV だけ変化してリセットレベルとなり、積分回路から出力される積分信号は、積分容量部に蓄積された電荷に応じたレベルとなる。第1のスイッチ素子が開いた後に第2のスイッチ素子が閉じると、積分回路から出力される積分信号の値に応じた電圧がセル容量部に設定される。このとき、容量値切替手段により、積分容量部の容量値はセル容量部の容量値と等しくされており、この結果、光検出素子の一方の端子の電位は、リセットレベルから ΔV だけ変化する。

【0012】その後の一定期間に、光検出素子が入射光強度に応じて発生した電荷はセル容量部に蓄積されていく。この一定期間が経過した時点でセル容量部に蓄積されている電荷は、以前に第2のスイッチ素子が閉じたときに積分信号の値に応じて設定された電圧に比例した電荷と、この一定期間に入射光によって光検出素子が発生した電荷とが、重畳されたものである。ただし、重畳される電荷の符号は互いに異なる。このとき、容量値切替手段により、積分容量部の容量値はセル容量部の容量値より小さい値とされている。したがって、この一定期間が経過した時点で第1のスイッチ素子が閉じると、積分回路から出力される積分信号は、光検出素子へ入射する光強度の増減に応じたものであり、しかも、光強度変化を高感度に検出するものである。

【0013】以上のような第1のスイッチ素子および第

2のスイッチ素子の開閉動作は、複数の光検出セルそれぞれについて行われる。したがって、積分回路から出力される積分信号は、複数の光検出セルそれぞれに含まれる光検出素子が受光した光の光量の増減に応じた時系列信号となる。この積分信号はA/D変換回路によりA/D変換され、この積分信号に応じたデジタル信号がA/D変換回路より出力される。そして、デジタル演算回路により、このデジタル信号に基づいて重心位置を求めるデジタル演算が行われて、その演算結果が出力される。

【0014】また、本発明に係る第1または第2の光検出装置は、複数の光検出セルがM行N列（ $M \geq 2$ 、 $N \geq 2$ ）に2次元配列され、積分回路、第1のスイッチ素子、第2のスイッチ素子およびA/D変換回路それぞれが複数の光検出セルの列毎に設けられている、ことを特徴とする。積分回路、第1のスイッチ素子、第2のスイッチ素子およびA/D変換回路それぞれは、光検出セル毎に設けられていてもよいが、光検出セルの列毎に設けられていることにより、光検出装置の回路規模は更に小さくなる。

【0015】

【発明の実施の形態】以下、添付図面を参照して本発明の実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。以下で、MおよびNそれぞれは2以上の整数であり、mは1以上M以下の任意の整数であり、nは1以上N以下の任意の整数である。

【0016】（第1の実施形態）まず、第1の実施形態に係る光検出装置1の構成について図1～図4を用いて説明する。図1は、第1の実施形態に係る光検出装置1の概略構成図である。この光検出装置1は、N個のユニット100₁～100_Nおよびデジタル演算回路40を備える。各ユニット100_nは、互いに同様の構成であって、M個の光検出セル10_{1,n}～10_{M,n}、積分回路20_n、A/D変換回路30_n、スイッチ素子SW_{n01}、スイッチ素子SW_{n02}およびスイッチ素子SW_{n03}を備える。M×N個の光検出セル10_{1,1}～10_{M,N}はM行N列に2次元配列されており、光検出セル10_{m,n}は第m行第n列に位置している。

【0017】各ユニット100_nにおいて、M個の光検出セル10_{1,n}～10_{M,n}それぞれは、スイッチ素子SW_{n01}を介して積分回路20_nの入力端子と接続され、スイッチ素子SW_{n02}を介して積分回路20_nの出力端子と接続されている。積分回路20_nの出力端子は、A/D変換回路30_nの入力端子と接続されている。A/D変換回路30_nの出力端子は、スイッチ素子SW_{n03}を介してデジタル演算回路40の入力端子と接続されている。ユニット100₁～100_Nそれぞれのスイッチ素子SW_{n03}が順次に閉じて、ユニット100₁～100_NそれぞれのA/D変換回路30_nの出力端子はデジタル演算回路40の入力端子と接続される。デジタル演算回路40

は、各ユニット100_nのA/D変換回路30_nからスイッチ素子SW_{n03}を介して順次に出力されたデジタル信号を入力し、このデジタル信号に基づいて重心位置を求めるデジタル演算を行って、その演算結果を出力する。

【0018】図2は、第1の実施形態に係る光検出装置1の各光検出セル10_{m,n}の回路図である。各光検出セル10_{m,n}は、フォトダイオード（光検出素子）PD、セル容量部C_dおよびスイッチ素子SW₀を有する。フォトダイオードPDのアノード端子は接地されている。フォトダイオードPDのカソード端子は、セル容量部C_dを介して接地され、また、スイッチ素子SW₀を介して、スイッチ素子SW_{n01}およびスイッチ素子SW_{n02}と接続されている。各ユニット100_nにおいて、M個の光検出セル10_{1,n}～10_{M,n}それぞれのスイッチ素子SW₀が順次に閉じて、光検出セル10_{1,n}～10_{M,n}それぞれのフォトダイオードPDのカソード端子は、順次にスイッチ素子SW_{n01}およびスイッチ素子SW_{n02}と接続される。光検出セル10_{1,1}～10_{M,N}それぞれのセル容量部C_dの容量値は互いに等しい。なお、セル容量部C_dは、フォトダイオードPDの接合容量であってもよいし、これとは別に設けたものであってもよい。

【0019】図3は、第1の実施形態に係る光検出装置1の各積分回路20_nの回路図である。各積分回路20_nは、入力端子と出力端子との間に互いに並列にアンプA₂、積分容量部C_{f2}およびスイッチ素子SW₂₁が接続されている。アンプA₂は、その反転入力端子がスイッチ素子SW_{n01}と接続され、非反転入力端子が基準電圧値V_{inpl}とされ、出力端子がスイッチ素子SW_{n02}と接続されている。積分容量部C_{f2}およびスイッチ素子SW₂₁は、アンプA₂の反転入力端子と出力端子との間に設けられている。積分容量部C_{f2}の容量値は、各光検出セル10_{m,n}のセル容量部C_dの容量値と等しい。積分回路20_nは、スイッチ素子SW₂₁が閉じているときには、積分容量部C_{f2}を放電して初期化する。一方、積分回路20_nは、スイッチ素子SW₂₁が開いているときには、入力端子に入力した電荷を積分容量部C_{f2}に蓄積して、その蓄積された電荷の量に応じた値の電圧信号（これを積分信号と呼ぶ。）を出力端子から出力する。

【0020】図4は、第1の実施形態に係る光検出装置1の各A/D変換回路30_nの回路図である。各A/D変換回路30_nは、積分回路20_nの出力端子から出力された積分信号（アナログ信号）を入力してA/D変換し、この積分信号の値に応じた値のデジタル信号を、スイッチ素子SW_{n03}を介してデジタル演算回路40へ出力する。この図に示されたA/D変換回路30_nは、結合容量素子C₃₀₁、帰還容量素子C₃₀₂、スイッチ素子SW₃₀₂、アンプ301、比較部302、容量制御部303、可変容量部310、320および330を含む。

【0021】アンプ301は、積分回路20_nから出力された積分信号（アナログ値）を、結合容量素子C₃₀₁

を介して反転入力端子に入力し、基準電圧値 V_{com} を非反転入力端子に入力する。帰還容量素子 C_{302} は、アンプ301の反転入力端子と出力端子との間に設けられ、入力した電圧値に応じて電荷を蓄える。スイッチ素子 SW_{302} は、アンプ301の反転入力端子と出力端子との間に設けられ、開いているときには帰還容量素子 C_{302} に電荷の蓄積を行わせ、閉じているときには帰還容量素子 C_{302} における電荷蓄積をリセットする。そして、アンプ301は、帰還容量素子 C_{302} に蓄積された電荷量に応じた電圧値を、出力端子より比較部302へ出力する。比較回路302は、アンプ301から出力された電圧値を反転入力端子に入力し、基準電圧値 V_{com} を非反転入力端子に入力し、これら2つの入力信号の値を大小比較して、この比較結果を示す信号を容量制御部303へ出力する。

【0022】可変容量部310は、4つの容量素子 $C_{311} \sim C_{314}$ および4つのスイッチ素子 $SW_{311} \sim SW_{314}$ を含む。容量素子 C_{311} は、一端がアンプ301の反転入力端子と接続され、他端がスイッチ素子 SW_{311} を介して参照電圧値 V_{ref1} および基準電圧値 V_{com} の何れかと接続される。容量素子 C_{312} は、一端がアンプ301の反転入力端子と接続され、他端がスイッチ素子 SW_{312} を介して参照電圧値 V_{ref1} および基準電圧値 V_{com} の何れかと接続される。容量素子 C_{313} は、一端がアンプ301の反転入力端子と接続され、他端がスイッチ素子 SW_{313} を介して参照電圧値 V_{ref1} および基準電圧値 V_{com} の何れかと接続される。また、容量素子 C_{314} は、一端がアンプ301の反転入力端子と接続され、他端がスイッチ素子 SW_{314} を介して参照電圧値 V_{ref1} および基準電圧値 V_{com} の何れかと接続される。

【0023】可変容量部320は、4つの容量素子 $C_{321} \sim C_{324}$ および4つのスイッチ素子 $SW_{321} \sim SW_{324}$ を含む。容量素子 C_{321} は、一端がアンプ301の反転入力端子と接続され、他端がスイッチ素子 SW_{321} を介して参照電圧値 V_{ref2} および基準電圧値 V_{com} の何れかと接続される。容量素子 C_{322} は、一端がアンプ301の反転入力端子と接続され、他端がスイッチ素子 SW_{322} を介して参照電圧値 V_{ref2} および基準電圧値 V_{com} の何れかと接続される。容量素子 C_{323} は、一端がアンプ301の反転入力端子と接続され、他端がスイッチ素子 SW_{323} を介して参照電圧値 V_{ref2} および基準電圧値 V_{com} の何れかと接続される。また、容量素子 C_{324} は、一端がアンプ301の反転入力端子と接続され、他端がスイッチ素子 SW_{324} を介して参照電圧値 V_{ref2} および基準電圧値 V_{com} の何れかと接続される。

【0024】可変容量部330は、4つの容量素子 $C_{331} \sim C_{334}$ および4つのスイッチ素子 $SW_{331} \sim SW_{334}$ を含む。容量素子 C_{331} は、一端がアンプ301の反転入力端子と接続され、他端がスイッチ素子 SW_{331} を介して参照電圧値 V_{ref3} および基準電圧値 V_{com} の何れか

と接続される。容量素子 C_{332} は、一端がアンプ301の反転入力端子と接続され、他端がスイッチ素子 SW_{332} を介して参照電圧値 V_{ref3} および基準電圧値 V_{com} の何れかと接続される。容量素子 C_{333} は、一端がアンプ301の反転入力端子と接続され、他端がスイッチ素子 SW_{333} を介して参照電圧値 V_{ref3} および基準電圧値 V_{com} の何れかと接続される。また、容量素子 C_{334} は、一端がアンプ301の反転入力端子と接続され、他端がスイッチ素子 SW_{334} を介して参照電圧値 V_{ref3} および基準電圧値 V_{com} の何れかと接続される。

【0025】可変容量部310、320および330それぞれに含まれる各容量素子、結合容量素子 C_{301} 、帰還容量素子 C_{302} それぞれの容量値は、

【0026】

【数1】

$$C_{301} = C_{302} = 16C \quad \dots(1a)$$

$$C_{311} = C_{321} = C_{331} = 8C \quad \dots(1b)$$

$$C_{312} = C_{322} = C_{332} = 4C \quad \dots(1c)$$

$$C_{313} = C_{323} = C_{333} = 2C \quad \dots(1d)$$

$$C_{314} = C_{324} = C_{334} = C \quad \dots(1e)$$

なる関係式を満たす。ここで、 C は或る一定容量値である。また、可変容量部310に供給される参照電圧値 V_{ref1} 、可変容量部320に供給される参照電圧値 V_{ref2} 、可変容量部330に供給される参照電圧値 V_{ref3} 、および、基準電圧値 V_{com} それぞれは、

【0027】

【数2】

$$V_{ref2} - V_{com} = (V_{ref1} - V_{com}) / 16 \quad \dots(2a)$$

$$V_{ref3} - V_{com} = (V_{ref2} - V_{com}) / 16 \quad \dots(2b)$$

なる関係式を満たす。なお、基準電圧値 V_{com} は一般には接地電位とされるので、以降では $V_{com} = 0$ とする。このとき、上記(2)式は、

【0028】

【数3】

$$V_{ref2} = V_{ref1} / 16 \quad \dots(3a)$$

$$V_{ref3} = V_{ref2} / 16 \quad \dots(3b)$$

なる式で表される。また、これら参照電圧値 V_{ref1} 、 V_{ref2} および V_{ref3} それぞれは、図示しない参照電圧供給回路より供給される。この参照電圧供給回路は、例えば、抵抗器が縦続接続された抵抗分割回路である。

【0029】容量制御部303は、スイッチ素子 $SW_{311} \sim SW_{314}$ 、 $SW_{321} \sim SW_{324}$ および $SW_{331} \sim SW_{334}$ それぞれにおける切替動作を制御する。また、容量制御部303は、これらの12個のスイッチ素子それぞれにおける切替状況を記憶しており、この切替状況および比較部302から出力された信号に基づいて、12ビットのデジタル値 ($D_{11} \sim D_0$) を出力する。すなわ

ち、容量制御部303より出力されるデジタル値の最上位ビットD₁₁はスイッチ素子SW₃₁₁の切替状況に応じたものであり、ビットD₁₀はスイッチ素子SW₃₁₂の切替状況に応じたものであり、ビットD₉はスイッチ素子SW₃₁₃の切替状況に応じたものであり、ビットD₈はスイッチ素子SW₃₁₄の切替状況に応じたものである。ビットD₇はスイッチ素子SW₃₂₁の切替状況に応じたものであり、ビットD₆はスイッチ素子SW₃₂₂の切替状況に応じたものであり、ビットD₅はスイッチ素子SW₃₂₃の切替状況に応じたものであり、ビットD₄はスイッチ素子SW₃₂₄の切替状況に応じたものである。また、ビットD₃はスイッチ素子SW₃₃₁の切替状況に応じたものであり、ビットD₂はスイッチ素子SW₃₃₂の切替状況に応じたものであり、ビットD₁はスイッチ素子SW₃₃₃の切替状況に応じたものであり、最下位ビットD₀はスイッチ素子SW₃₃₄の切替状況に応じたものである。

【0030】次に、第1の実施形態に係る光検出装置1の動作について図5～図9を用いて説明する。なお、各スイッチ素子の開閉を制御する制御信号、デジタル演算回路40の動作を制御する制御信号およびアドレス信号は、図示しない制御回路から所定のタイミングで出力される。以下に説明する光検出装置1の動作は、この制御回路による制御の下に行われる。

【0031】図5は、第1の実施形態に係る光検出装置1の各光検出セル10_{m,n}のスイッチ素子SW₀の開閉タイミングを示すタイミングチャートである。この図に示すように、各フレーム期間内に、各ユニット100_nにおいて、M個の光検出セル10_{1,n}～10_{M,n}それぞれのスイッチ素子SW₀は順次に閉じる。各光検出セル10_{m,n}のフォトダイオードPDおよびセル容量部C_dは、自己のスイッチ素子SW₀が閉じている期間には、スイッチ素子SW_{n01}を介して積分回路20_nの入力端子と接続され、スイッチ素子SW_{n02}を介して積分回路20_nの出力端子と接続される。また、各光検出セル10_{m,n}は、自己のスイッチ素子SW₀が開いている期間には、自己のフォトダイオードPDが入射光により発生させた電荷を、自己のセル容量部C_dに蓄積する。

【0032】図6は、第1の実施形態に係る光検出装置1の各ユニット100_nの動作タイミングを示すタイミングチャートである。同図(a)は、各スイッチ素子の開閉タイミングを示す。同図(b)は、第1フレームと第2フレームとで光検出セル10_{m,n}へ入射する光の強度が等しい場合の各信号レベルを示す。また、同図(c)は、第1フレームより第2フレームで光検出セル10_{m,n}へ入射する光の強度が大きい場合の各信号レベルを示す。

【0033】第1フレームと第2フレームとで光検出セル10_{m,n}へ入射する光の強度が等しい場合における動作を、図6(a)および(b)を参照して説明する。

【0034】時刻t0に光検出セル10_{m,n}のスイッチ

素子SW₀は開く。時刻t0では、光検出セル10_{m,n}のセル容量部C_dに蓄積されている電荷は無く、光検出セル10_{m,n}のフォトダイオードPDのカソード端子の電位はリセットレベルである。時刻t0以降、スイッチ素子SW₀が閉じる時刻t2まで、光検出セル10_{m,n}では、自己のフォトダイオードPDが入射光により発生した電荷は、自己のセル容量部C_dに蓄積されていく。時刻t0と時刻t2との間の時刻t1に、積分回路20_nのスイッチ素子SW_{n21}が一旦閉じた後に開くことで、積分回路20_nは、積分容量部C_{f2}の電荷が放電されて初期化され、出力される積分信号はリセットレベルとなる。

【0035】第1フレームにおける時刻t2から時刻t4までの期間、光検出セル10_{m,n}のスイッチ素子SW₀は閉じる。この期間中に、先ず時刻t2にスイッチ素子SW_{n01}が一旦閉じた後に開き、続いて時刻t3にスイッチ素子SW_{n02}が一旦閉じた後に開く。スイッチ素子SW_{n01}が閉じている期間には、それまで光検出セル10_{m,n}のセル容量部C_dに蓄積されていた電荷は、積分回路20_nの積分容量部C_{f2}に移動する。その結果、光検出セル10_{m,n}のフォトダイオードPDのカソード端子の電位は、ΔVだけ変化してリセットレベルとなり、また、積分回路20_nから出力される積分信号は、積分容量部C_{f2}に蓄積された電荷に応じたレベルとなる。その後のスイッチ素子SW_{n02}が閉じている期間には、光検出セル10_{m,n}のセル容量部C_dに、積分回路20_nから出力される積分信号の値に応じた電荷が蓄積される。積分容量部C_{f2}の容量値は光検出セル10_{m,n}のセル容量部C_dの容量値と等しいので、この結果、光検出セル10_{m,n}のフォトダイオードPDのカソード端子の電位は、リセットレベルからΔVだけ変化する。

【0036】時刻t4に光検出セル10_{m,n}のスイッチ素子SW₀は開く。時刻t4では、光検出セル10_{m,n}のフォトダイオードPDのカソード端子の電位はΔVである。時刻t4以降、スイッチ素子SW₀が閉じる時刻t6まで、光検出セル10_{m,n}では、自己のフォトダイオードPDが入射光により発生した電荷は、自己のセル容量部C_dに蓄積されていく。時刻t4と時刻t6との間の時刻t5に、積分回路20_nのスイッチ素子SW_{n21}が一旦閉じた後に開くことで、積分回路20_nは、積分容量部C_{f2}の電荷が放電されて初期化され、出力される積分信号はリセットレベルとなる。

【0037】時刻t0～t2までの時間と時刻t4～t6までの時間とが等しく、第1フレームと第2フレームとで光検出セル10_{m,n}へ入射する光の強度が等しいければ、時刻t6において光検出セル10_{m,n}のセル容量部C_dに蓄積されている電荷は、時刻t3に積分回路20_nから出力される積分信号の値に応じて蓄積された電荷と、時刻t4から時刻t6までの期間にフォトダイオードPDが入射光により発生した電荷とが相殺されてい

る。したがって、時刻 t_6 では、光検出セル $10_{m,n}$ のフォトダイオードPDのカソード端子の電位はリセットレベルとなる。

【0038】第2フレームにおける時刻 t_6 から時刻 t_8 までの期間、光検出セル $10_{m,n}$ のスイッチ素子 SW_0 は閉じる。この期間中の時刻 t_6 にスイッチ素子 SW_{n01} が一旦閉じた後に開く。スイッチ素子 SW_{n01} が閉じる時刻 t_6 においては、光検出セル $10_{m,n}$ のセル容量部 C_d に蓄積されていた電荷は無く、光検出セル $10_{m,n}$ のフォトダイオードPDのカソード端子の電位はリセットレベルであるので、積分回路 20_n から出力される積分信号はリセットレベルのままである。すなわち、第1フレームと第2フレームとで光検出セル $10_{m,n}$ へ入射する光の強度が等しければ、第2フレームの時刻 t_6 以降において、積分回路 20_n から出力される積分信号はリセットレベルとなる。

【0039】次に、第1フレームより第2フレームで光検出セル $10_{m,n}$ へ入射する光の強度が大きい場合における動作を、図6(a)および(c)を参照して説明する。

【0040】各スイッチ素子の開閉動作は、既に説明したものと同様である。時刻 $t_0 \sim t_2$ までの時間と時刻 $t_4 \sim t_6$ までの時間とが等しく、第1フレームより第2フレームで光検出セル $10_{m,n}$ へ入射する光の強度が大きければ、時刻 t_6 において光検出セル $10_{m,n}$ のセル容量部 C_d に蓄積されている電荷は、時刻 t_3 に積分回路 20_n から出力される積分信号の値に応じて蓄積された電荷と、時刻 t_4 から時刻 t_6 までの期間にフォトダイオードPDが入射光により発生した電荷とが相殺されることはない。したがって、時刻 t_6 では、光検出セル $10_{m,n}$ のフォトダイオードPDのカソード端子の電位はリセットレベルより小さいレベルとなる

第2フレームにおける時刻 t_6 から時刻 t_8 までの期間、光検出セル $10_{m,n}$ のスイッチ素子 SW_0 は閉じる。この期間中の時刻 t_6 にスイッチ素子 SW_{n01} が一旦閉じた後に開く。スイッチ素子 SW_{n01} が閉じる時刻 t_6 においては、光検出セル $10_{m,n}$ のフォトダイオードPDのカソード端子の電位はリセットレベルより小さいので、積分回路 20_n から出力される積分信号はリセットレベルより大きくなる。すなわち、第1フレームと第2フレームとで光検出セル $10_{m,n}$ へ入射する光の強度が異なれば、第2フレームの時刻 t_6 以降において、積分回路 20_n から出力される積分信号は、リセットレベルとは異なるレベルとなる。そして、時刻 t_6 以降の積分信号が読み出された後、時刻 t_7 に積分回路 20_n のスイッチ素子 SW_{21} は一旦閉じた後に開き、積分回路 20_n はリセットされる。

【0041】積分回路 20_n から時刻 t_6 以降に出力される積分信号は、光検出セル $10_{m,n}$ のフォトダイオードPDが或るフレームおよび次のフレームそれぞれで入

射光強度の差に応じたものである。すなわち、この積分信号は、入力した光像における画素毎の入射光強度の増減を表し、動体を抽出した結果を表す。

【0042】この積分回路 20_n から出力された積分信号は、A/D変換回路 30_n によりA/D変換されて、12ビットのデジタル信号が出力される。各ユニット 100_n のA/D変換回路 30_n は以下のように動作する。

【0043】A/D変換処理の第1段階においては、スイッチ素子 SW_{302} は閉じていて、帰還容量素子 C_{302} は放電されている。また、スイッチ素子 $SW_{311} \sim SW_{314}$ 、 $SW_{321} \sim SW_{324}$ および $SW_{331} \sim SW_{334}$ それぞれは、基準電圧値 V_{com} の方に切り替えられている。そして、スイッチ素子 SW_{302} が開いて、積分回路 20 から出力された電圧値 V_{in} に応じた電荷量 Q が帰還容量素子 C_{302} に蓄積される。ここで、電荷量 Q は、

【0044】

【数4】

$$Q = C_{302} \cdot V_{in} = 16C \cdot V_{in} \quad \dots(4)$$

なる式で表される。その後、実際のA/D変換処理が開始される。

【0045】A/D変換処理の第2段階では、可変容量部 310 に含まれる4つのスイッチ素子 $SW_{311} \sim SW_{314}$ それぞれの切替動作が行われる。まず、4つの容量素子 $C_{311} \sim C_{314}$ のうち最も容量値が大きい容量素子 C_{311} に対応するスイッチ素子 SW_{311} が参照電圧値 V_{ref1} の方に切り替わる。これにより、帰還容量素子 C_{302} に蓄積されていた電荷 Q (上記(4)式) のうち、

【0046】

【数5】

$$Q_{311} = C_{311} \cdot V_{ref1} = 8C \cdot V_{ref1} \quad \dots(5)$$

なる式で表される電荷量 Q_{311} が容量素子 C_{311} に移動し、

【0047】

【数6】

$$\begin{aligned} Q_{302} &= 16C \cdot V_{in} - 8C \cdot V_{ref1} \\ &= 16C(V_{in} - V_{ref1}/2) \quad \dots(6) \end{aligned}$$

なる式で表される電荷量 Q_{302} が帰還容量素子 C_{302} に残る。

【0048】そして、アンプ 301 より電圧値 $(V_{in} - V_{ref1}/2)$ が出力される。比較部 302 により、アンプ 301 より反転入力端子に入力する電圧値 $(V_{in} - V_{ref1}/2)$ と、非反転入力端子に入力する基準電圧値 V_{com} ($=0$) とが、大小比較されて、電圧値 $(V_{in} - V_{ref1}/2)$ の符号が判定される。この結果は、容量制御部 303 に入力され、出力すべき最上位ビット D_{11} の値として記憶される。すなわち、電圧値 $(V_{in} - V_{ref1}/2)$ が正であれば $D_{11} = 1$ とされ、そうでなければ $D_{11} = 0$ とされる。

【0049】もし、電圧値 $(V_{in} - V_{ref1}/2)$ が正で

10

20

30

40

50

あれば、次に容量値が大きい容量素子 C_{312} に対応するスイッチ素子 SW_{312} が参照電圧値 V_{ref1} の方に切り替わる。これにより、これまで帰還容量素子 C_{302} に蓄積されていた電荷 Q_{302} （上記(6)式）のうち、

【0050】

【数7】

$$\begin{aligned} Q_{302} &= 16C(V_{in} - V_{ref1}/2) - 4C \cdot V_{ref1} \\ &= 16C(V_{in} - 3V_{ref1}/4) \end{aligned} \quad \dots(7)$$

なる式で表される電荷量 Q_{302} が帰還容量素子 C_{302} に残る。

【0052】そして、アンプ301より電圧値 $(V_{in} - 3V_{ref1}/4)$ が出力される。比較部302により、アンプ301より反転入力端子に入力する電圧値 $(V_{in} - 3V_{ref1}/4)$ と、非反転入力端子に入力する基準電圧値 V_{com} （＝0）とが、大小比較されて、電圧値 $(V_{in} - 3V_{ref1}/4)$ の符号が判定される。この結果は、容量制御部303に入力され、出力すべきビット D_{10} の値として記憶される。すなわち、電圧値 $(V_{in} - 3V_{ref1}/4)$ が正であれば $D_{10} = 1$ とされ、そうでなければ $D_{10} = 0$ とされる。

$$\begin{aligned} Q_{302} &= 16C(V_{in} - 3V_{ref1}/4) - 2C \cdot V_{ref1} \\ &= 16C(V_{in} - 7V_{ref1}/8) \end{aligned} \quad \dots(8)$$

なる式で表される電荷量 Q_{302} が帰還容量素子 C_{302} に残る。

【0056】そして、アンプ301より電圧値 $(V_{in} - 7V_{ref1}/8)$ が出力される。比較部302により、アンプ301より反転入力端子に入力する電圧値 $(V_{in} - 7V_{ref1}/8)$ と、非反転入力端子に入力する基準電圧値 V_{com} （＝0）とが、大小比較されて、電圧値 $(V_{in} - 7V_{ref1}/8)$ の符号が判定される。この結果は、容量制御部303に入力され、出力すべきビット D_9 の値として記憶される。すなわち、電圧値 $(V_{in} - 7V_{ref1}/8)$ が正であれば $D_9 = 1$ とされ、そうでなければ $D_9 = 0$ とされる。

【0057】逆に、最上位ビット D_{11} の値の決定の際に電圧値 $(V_{in} - V_{ref1}/2)$ が負であれば、スイッチ素子 SW_{311} が基準電圧値 V_{com} の方に戻って、電荷量 Q （上記(4)式）の全てが帰還容量素子 C_{302} に戻る。その後、次に容量値が大きい容量素子 C_{312} に対応するスイッチ素子 SW_{312} が参照電圧値 V_{ref1} の方に切り替わる。これにより、帰還容量素子 C_{302} に蓄積されていた電荷 Q （上記(4)式）のうち、

【0058】

【数11】

$$Q_{312} = C_{312} \cdot V_{ref1} = 4C \cdot V_{ref1} \quad \dots(11)$$

なる式で表される電荷量 Q_{312} が容量素子 C_{312} に移動し、

【0059】

$$Q_{312} = C_{312} \cdot V_{ref1} = 4C \cdot V_{ref1} \quad \dots(7)$$

なる式で表される電荷量 Q_{312} が容量素子 C_{312} に移動し、

【0051】

【数8】

【0053】さらに、電圧値 $(V_{in} - 3V_{ref1}/4)$ が正であれば、その次に容量値が大きい容量素子 C_{313} に対応するスイッチ素子 SW_{313} が参照電圧値 V_{ref1} の方に切り替わる。これにより、これまで帰還容量素子 C_{302} に蓄積されていた電荷 Q_{302} （上記(8)式）のうち、

【0054】

【数9】

$$Q_{313} = C_{313} \cdot V_{ref1} = 2C \cdot V_{ref1} \quad \dots(9)$$

なる式で表される電荷量 Q_{313} が容量素子 C_{313} に移動し、

【0055】

【数10】

【数12】

$$\begin{aligned} Q_{302} &= 16C \cdot V_{in} - 4C \cdot V_{ref1} \\ &= 16C(V_{in} - V_{ref1}/4) \end{aligned} \quad \dots(12)$$

なる式で表される電荷量 Q_{302} が帰還容量素子 C_{302} に残る。

【0060】そして、アンプ301より電圧値 $(V_{in} - V_{ref1}/4)$ が出力される。比較部302により、アンプ301より反転入力端子に入力する電圧値 $(V_{in} - V_{ref1}/4)$ と、非反転入力端子に入力する基準電圧値 V_{com} （＝0）とが、大小比較されて、電圧値 $(V_{in} - V_{ref1}/4)$ の符号が判定される。この結果は、容量制御部303に入力され、出力すべきビット D_{10} の値として記憶される。すなわち、電圧値 $(V_{in} - V_{ref1}/4)$ が正であれば $D_{10} = 1$ とされ、そうでなければ $D_{10} = 0$ とされる。

【0061】このようにして、可変容量部330に含まれる4つのスイッチ素子 $SW_{311} \sim SW_{314}$ それぞれの切替状況が順次に決定され、ビット $D_{11} \sim D_8$ それぞれの値が順次に決定される。図7は、A/D変換回路30nに入力する電圧値 V_{in} と4つのビット $D_{11} \sim D_8$ それぞれの値との関係を示す図表である。これら4つのビット $D_{11} \sim D_8$ それぞれの値が決定された時点では、帰還容量素子 C_{302} に残っている電荷量 Q_1 は $C \cdot V_{ref1}$ 以下であり、アンプ301から出力される電圧値 V_1 は、 $V_{ref1}/2^4$ 以下であって、以上の第2段階においてA/

D変換し切れなかった残差である。

【0062】以上のA/D変換処理の第2段階に続く第3段階では、第2段階終了時に帰還容量素子C₃₀₂に残っている電荷量Q₁について、可変容量部320に含まれる4つのスイッチ素子SW₃₂₁～SW₃₂₄それぞれの切替動作が、第2段階の処理と同様に行われる。すなわち、まず、4つの容量素子C₃₂₁～C₃₂₄のうち最も容量値が大きい容量素子C₃₂₁に対応するスイッチ素子SW₃₂₁が参照電圧値V_{ref2}の方に切り替わる。これにより、帰還容量素子C₃₀₂に蓄積されていた電荷Q₁のうち、

【0063】

【数13】

$$Q_{321} = C_{321} \cdot V_{ref2} = 8C \cdot V_{ref2} \quad \dots(13)$$

なる式で表される電荷量Q₃₂₁が容量素子C₃₂₁に移動し、

【0064】

【数14】

$$\begin{aligned} Q_{302} &= 16C \cdot V_1 - 8C \cdot V_{ref2} \\ &= 16C(V_1 - V_{ref2}/2) \quad \dots(14) \end{aligned}$$

なる式で表される電荷量Q₃₀₂が帰還容量素子C₃₀₂に残る。

【0065】そして、アンプ301より電圧値(V₁ - V_{ref2} / 2)が出力される。比較部302により、アンプ301より反転入力端子に入力する電圧値(V₁ - V_{ref2} / 2)と、非反転入力端子に入力する基準電圧値V_{com}(=0)とが、大小比較されて、電圧値(V₁ - V_{ref2} / 2)の符号が判定される。この結果は、容量制御部303に入力され、出力すべきビットD₇の値として記憶される。電圧値(V₁ - V_{ref2} / 2)が正であればD₇=1とされ、そうでなければD₇=0とされる。すなわち、電圧値(V₁ - V_{ref1} / 32)が正であればD₇=1とされ、そうでなければD₇=0とされる。

【0066】以降も同様に、可変容量部320に含まれる4つのスイッチ素子SW₃₂₁～SW₃₂₄それぞれの切替状況が順次に決定され、ビットD₇～D₄それぞれの値が順次に決定される。図8は、電圧値V₁と4つのビットD₇～D₄それぞれの値との関係を示す図表である。これら4つのビットD₇～D₄それぞれの値が決定された時点では、帰還容量素子C₃₀₂に残っている電荷量Q₂はC・V_{ref2}以下(C・V_{ref1} / 2⁴以下)であり、アンプ301から出力される電圧値V₂は、V_{ref2} / 2⁴以下(V_{ref1} / 2⁸以下)であって、以上の第3段階においてもA/D変換し切れなかった残差である。

【0067】以上のA/D変換処理の第3段階に続く第4段階では、第3段階終了時に帰還容量素子C₃₀₂に残っている電荷量Q₂について、可変容量部330に含まれる4つのスイッチ素子SW₃₃₁～SW₃₃₄それぞれの切替動作が、第2段階の処理と同様に行われる。すなわ

ち、まず、4つの容量素子C₃₃₁～C₃₃₄のうち最も容量値が大きい容量素子C₃₃₁に対応するスイッチ素子SW₃₃₁が参照電圧値V_{ref3}の方に切り替わる。これにより、帰還容量素子C₃₀₂に蓄積されていた電荷Q₁のうち、

【0068】

【数15】

$$Q_{331} = C_{331} \cdot V_{ref3} = 8C \cdot V_{ref3} \quad \dots(15)$$

なる式で表される電荷量Q₃₃₁が容量素子C₃₃₁に移動し、

【0069】

【数16】

$$\begin{aligned} Q_{302} &= 16C \cdot V_2 - 8C \cdot V_{ref3} \\ &= 16C(V_2 - V_{ref3}/2) \quad \dots(16) \end{aligned}$$

なる式で表される電荷量Q₃₀₂が帰還容量素子C₃₀₂に残る。

【0070】そして、アンプ301より電圧値(V₂ - V_{ref3} / 2)が出力される。比較部302により、アンプ301より反転入力端子に入力する電圧値(V₂ - V_{ref3} / 2)と、非反転入力端子に入力する基準電圧値V_{com}(=0)とが、大小比較されて、電圧値(V₂ - V_{ref3} / 2)の符号が判定される。この結果は、容量制御部303に入力され、出力すべきビットD₃の値として記憶される。電圧値(V₂ - V_{ref3} / 2)が正であればD₃=1とされ、そうでなければD₃=0とされる。すなわち、電圧値(V₂ - V_{ref1} / 512)が正であればD₃=1とされ、そうでなければD₃=0とされる。

【0071】以降も同様に、可変容量部330に含まれる4つのスイッチ素子SW₃₃₁～SW₃₃₄それぞれの切替状況が順次に決定され、ビットD₃～D₀それぞれの値が順次に決定される。図9は、電圧値V₂と4つのビットD₃～D₀それぞれの値との関係を示す図表である。これら4つのビットD₃～D₀それぞれの値が決定された時点では、帰還容量素子C₃₀₂に残っている電荷量Q₃はC・V_{ref3}以下(C・V_{ref1} / 2⁸以下)であり、アンプ301から出力される電圧値V₃は、V_{ref3} / 2⁴以下(V_{ref1} / 2¹²以下)であって、以上の第4段階においてもA/D変換し切れなかった残差である。

【0072】以上のA/D変換処理の第4段階が終了した時点では、12個のスイッチ素子SW₃₁₁～SW₃₁₄、SW₃₂₁～SW₃₂₄およびSW₃₃₁～SW₃₃₄それぞれにおける切替状況に応じた12ビットのデジタル値D₁₁～D₀が容量制御部303に記憶されている。そして、第4段階が終了した後、この12ビットのデジタル値D₁₁～D₀が容量制御部303より出力される。

【0073】このA/D変換回路30nでは、可変容量部310、320および330それぞれに含まれる容量素子ならびに帰還容量部C₃₀₂の全体がチップ上で占有する面積は、容量値61C(=3(8C+4C+2C+

C)+16C)の容量素子1つ分の占有面積に相当する。一方、従来の12ビットデジタル値を出力するA/D変換回路では、12個の容量素子が占有する面積は、容量値 $2^{12}C$ の容量素子1つ分の占有面積に相当する。このように、本実施形態に係るA/D変換回路30_nは、従来のものと比較して、容量素子の占有面積が1/67である。

【0074】したがって、このような占有面積が小さいA/D変換回路30_nを含む光検出装置1は、積分回路20毎にA/D変換回路30を設けることにより高速化を図ることができ、A/D変換回路30_nから出力されるデジタル値のビット数を多くすることにより高精度化を図ることもでき、また、フォトダイオードPDの個数を多くすることにより高解像度化を図ることもできる。また、従来のA/D変換回路における最大容量値が $2^{11}C$ であるのに対して、本実施形態に係るA/D変換回路30_nにおける最大容量値は16Cであるので、本実施形態に係るA/D変換回路30_nでは、寄生容量が小さく、この点でもA/D変換処理を高速に行うことができる。

【0075】以上のようにして、各ユニット100_nのA/D変換回路30_nより、M個の光検出セル10_{1,n}～10_{M,n}それぞれに対応するM個のデジタル値D_{1,n}～D_{M,n}が時系列に並んだデジタル信号が出力される。また、N個のユニット100₁～100_Nそれぞれは並列動作する。したがって、各ユニット100_nのスイッチ素子SW_{n03}が順次に関閉すると、第1行のデジタル値D_{1,1}～D_{1,N}、第2行のデジタル値D_{2,1}～D_{2,N}、……、第m行のデジタル値D_{m,1}～D_{m,N}、……、第M行のデジタル値D_{M,1}～D_{M,N}は、この順にデジタル演算回路40に入力し、デジタル演算回路40内のレジスタに記憶される。

【0076】そして、デジタル演算回路40において、このデジタル信号に基づいてデジタル演算が行われて、その演算結果が出力される。例えば、入力したデジタル信号に基づいて各行の重心位置P_mを求めるには、

【0077】

【数17】

$$P_m = \frac{\sum_{n=1}^N n \cdot D_{m,n}}{\sum_{n=1}^N D_{m,n}} \quad \dots(17)$$

なる式に基づいてデジタル演算が行われる。このようにすることで、画像中において或る方向に向かって動いている動体のうち当該進行方向側のエッジを求めることができる。このような光検出装置1は、例えば、ベルトコンベア上を搬送されてくる物の先端位置を検出するのに好適である。

【0078】以上のように、本実施形態に係る光検出装

置1は、1画素当たりに必要な素子がフォトダイオードPD、セル容量部C_dおよびスイッチ素子SW₀のみであり、従来技術のものと比べて回路規模が格段に小さい。特に、セル容量部C_dとしてフォトダイオードPDの接合容量を利用する場合には、更に回路規模が小さい。したがって、この光検出装置1は、1画素当たりにも占める回路部占有面積が小さく、各画素の開口率が高く、光応答特性が優れたものとなる。

【0079】(第2の実施形態)次に、第2の実施形態に係る光検出装置について説明する。第2の実施形態に係る光検出装置は、第1の実施形態に係る光検出装置1と比べて積分回路20_nの構成が異なる。図10は、第2の実施形態に係る光検出装置の各積分回路20_nの回路図である。積分回路20_nは、入力端子と出力端子との間に互いに並列に、アンプA₂、積分容量部C_{f21}、スイッチ素子SW₂₁、ならびに、互いに直列的に接続されたスイッチ素子SW₂₂(容量値切替手段)および積分容量部C_{f22}が接続されている。アンプA₂は、その反転入力端子がスイッチ素子SW_{n01}と接続され、非反転入力端子が基準電圧値V_{inpl}とされている。積分容量部C_{f21}、スイッチ素子SW₂₁、ならびに、互いに直列的に接続されたスイッチ素子SW₂₂および積分容量部C_{f22}は、アンプA₂の反転入力端子と出力端子との間に設けられている。積分容量部C_{f21}および積分容量部C_{f22}それぞれの容量値の和は、各光検出セル10_{m,n}それぞれのセル容量部C_dの容量値と等しい。

【0080】第2の実施形態に係る光検出装置の各積分回路20_nの動作について説明する。図11は、第2の実施形態に係る光検出装置の各ユニット100_nの動作タイミングを示すタイミングチャートである。同図(a)は、各スイッチ素子の開閉タイミングを示す。同図(b)は、第1フレームと第2フレームとで光検出セル10_{m,n}へ入射する光の強度が等しい場合の各信号レベルを示す。また、同図(c)は、第1フレームより第2フレームで光検出セル10_{m,n}へ入射する光の強度が大きい場合の各信号レベルを示す。第2の実施形態に係る光検出装置の動作は、第1の実施形態に係る光検出装置1の動作と略同様である。本実施形態では、積分回路20_nのスイッチ素子SW₂₂は、第1フレームでは閉じていて、第2フレームでは開いている。

【0081】積分回路20_nのスイッチ素子SW₂₂が閉じている第1フレーム(時刻t₄を経過するまで)では、積分回路20_nにおいて電荷を蓄積するものは、互いに並列的に設けられた積分容量部C_{f21}および積分容量部C_{f22}の双方である。また、積分容量部C_{f21}および積分容量部C_{f22}それぞれの容量値の和は、光検出セル10_{m,n}のセル容量部C_dの容量値と等しい。したがって、この第1フレームでは、光検出装置の動作は、図7を用いて説明したものと同様である。

【0082】一方、積分回路20_nのスイッチ素子SW

22 が開いている第 2 フレーム（時刻 t_8 を経過するまで）では、積分回路 20_n において電荷を蓄積するものは、積分容量部 C_{f21} のみであって、その容量値が小さくなる。したがって、第 1 の実施形態の場合と同様の入射光強度変化があるとすると、第 2 の実施形態に係る光検出装置では、時刻 t_6 以降に積分回路 20_n から出力される積分信号は、第 1 の実施形態の場合と比較して $((C_{f21} + C_{f22}) / C_{f21})$ 倍だけ大きくなり、感度が高くなる。

【0083】 以上のように、第 2 実施形態に係る光検出装置は、第 1 の実施形態に係る光検出装置 1 が奏する効果と同様の効果を奏する他、第 1 フレームよりも第 2 フレームにおいて積分回路 20_n の積分容量部の容量値を小さくすることにより、入力した光像における画素毎の入射光強度の増減を高感度に検出することができ、これにより動体を高感度に抽出することができる。

【0084】（変形例）一般に、本発明に係る光検出装置 1 の各 A/D 変換回路 20_n に含まれる可変容量部の個数 M は 1 以上であり、 M 個の可変容量部のうち第 m

（ $1 \leq m \leq M$ ）の可変容量部に含まれる容量素子の個数 N_m は 1 以上であり、第 m の可変容量部に含まれる N_m 個の容量素子それぞれの他端（アンプの入力端子に接続される一端とは逆の側）に入力する参照電圧値のレベル数 P_m は 1 以上としてよい。第 m の可変容量部に含まれる N_m 個の容量素子それぞれの容量値を $C_{m,1} \sim C_{m,N_m}$ とし、第 m の可変容量部に供給される参照電圧値を $V_{ref,m,1} \sim V_{ref,m,P_m}$ とすると、各 m 値、各 n 値（ $1 \leq n \leq N_m$ ）および各 p 値（ $1 \leq p \leq P_m$ ）について、 $C_{m,n} \cdot V_{ref,m,p}$ の各値が互いに異なるように設定される。また、 $C_{m,n} \cdot V_{ref,m,p}$ の各値は、昇順に並べたときに公比が 2 である等比数列であるのが好適である。A/D 変換回路から出力されるデジタル値のビット数は、

【0085】

【数 18】

$$N_1 \cdot P_1 + N_2 \cdot P_2 + \dots + N_M \cdot P_M \quad \dots (18)$$

なる式で表される。

【0086】 上記の各実施形態では、A/D 変換回路から出力されるデジタル値のビット数は 12 であったが、他の任意の数であってもよい。上記実施形態では $M=3$ 、各 $N_m=4$ 、各 $P_m=1$ であったが、一般には M が 2 以上の任意の数であって、各 N_m も 2 以上の任意の数であってよい。また、 $M=1$ 、 N_1 が 2 以上の任意の数であって、 P_1 も 2 以上の任意の数であってよく、この場合には、 N_1 個の容量素子がチップ上で占有する面積が更に小さい。また、 $M=1$ 、 $N_1=1$ 、 P_1 が 2 以上の任意の数であってよく、この場合には、1 個の容量素子がチップ上で占有する面積が更に小さい。また、 M が 2 以上の任意の整数であって、各 $N_m=1$ 、各 $P_m=1$ であってもよい。また、 M が 2 以上の整数であって、各 N_m が異なってもよいし、各 P_m が異なってもよい。

【0087】

【発明の効果】 以上、詳細に説明したとおり、本発明に係る光検出装置によれば、或る一定期間に、光検出セルの光検出素子が入射光強度に応じて発生した電荷はセル容量部に蓄積されていく。この一定期間が経過した時点で第 1 のスイッチ素子が閉じると、それまでセル容量部に蓄積されていた電荷は、積分回路の積分容量部に移動する。その結果、光検出素子の一方の端子の電位は、 ΔV だけ変化してリセットレベルとなり、積分回路から出力される積分信号は、積分容量部に蓄積された電荷に応じたレベルとなる。第 1 のスイッチ素子が開いた後に第 2 のスイッチ素子が閉じると、積分回路から出力される積分信号の値に応じた電圧がセル容量部に設定される。積分容量部の容量値はセル容量部の容量値と等しいので、この結果、光検出素子の一方の端子の電位は、リセットレベルから ΔV だけ変化する。

【0088】 その後の一定期間に、光検出素子へ入射した光強度に応じて発生した電荷はセル容量部に蓄積されていく。この一定期間が経過した時点でセル容量部に蓄積されている電荷は、以前に第 2 のスイッチ素子が閉じたときに積分信号の値に応じて設定された電圧に比例した電荷と、この一定期間に光検出素子が入射光により発生した電荷とが、重畳されたものである。ただし、重畳される電荷の符号は互いに異なる。したがって、この一定期間が経過した時点で第 1 のスイッチ素子が閉じると、積分回路から出力される積分信号は、光検出素子へ入射した光強度の増減に応じたものである。

【0089】 そして、この積分回路から出力された積分信号は、A/D 変換回路によりデジタル信号に変換される。A/D 変換回路から出力されたデジタル信号に基づいて、デジタル演算回路により、重心位置を求めるデジタル演算が行われる。この光検出装置は、2 次元配列された複数の光検出セルを備えており、入力した光像における画素毎の入射光強度の増減を検出することができ、これにより動体を抽出することができる。

【0090】 このように本発明に係る光検出装置は、1 画素当たりの回路規模が従来技術のものに比べて格段に小さい。特に、セル容量部として光検出素子の接合容量を利用する場合には、更に回路規模が小さい。したがって、この光検出装置は、1 画素当たりに占める回路部占有面積が小さく、各画素の開口率が高く、光応答特性が優れる。

【0091】 また、積分回路の積分容量部の容量値を切替可能とする場合には、入力した光像における画素毎の入射光強度の増減を高感度に検出することができ、これにより動体を高感度に抽出することができる。

【図面の簡単な説明】

【図 1】 第 1 の実施形態に係る光検出装置 1 の概略構成図である。

【図 2】 第 1 の実施形態に係る光検出装置 1 の各光検出

セル $10_{m,n}$ の回路図である。

【図3】第1の実施形態に係る光検出装置1の各積分回路 20_n の回路図である。

【図4】第1の実施形態に係る光検出装置1の各A/D変換回路 30_n の回路図である。

【図5】第1の実施形態に係る光検出装置1の各光検出セル $10_{m,n}$ のスイッチ素子 SW_0 の開閉タイミングを示すタイミングチャートである。

【図6】第1の実施形態に係る光検出装置1の各ユニット 100_n の動作タイミングを示すタイミングチャートである。

【図7】A/D変換回路 30_n に入力する電圧値 V_{in} と4つのビット $D_{11} \sim D_8$ それぞれの値との関係を示す図表である。

【図8】電圧値 V_1 と4つのビット $D_7 \sim D_4$ それぞれの

値との関係を示す図表である。

【図9】電圧値 V_2 と4つのビット $D_3 \sim D_0$ それぞれの値との関係を示す図表である。

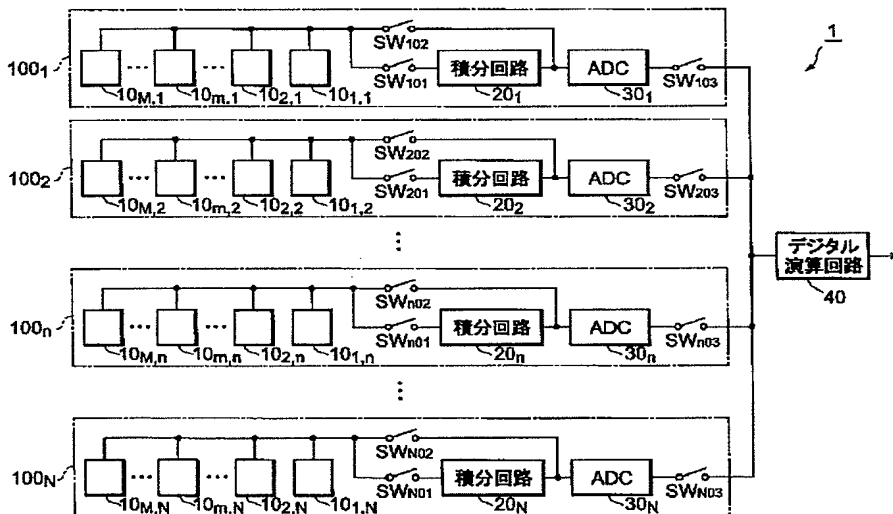
【図10】第2の実施形態に係る光検出装置の各積分回路 20_n の回路図である。

【図11】第2の実施形態に係る光検出装置の各ユニット 100_n の動作タイミングを示すタイミングチャートである。

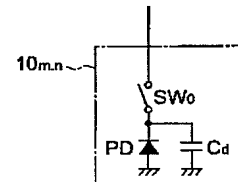
【符号の説明】

1…光検出装置、 $10_{1,1} \sim 10_{M,N}$ …光検出セル、 $20_1 \sim 20_M$ …積分回路、 $30_1 \sim 30_M$ …A/D変換回路、40…デジタル演算回路、301…アンプ、302…比較部、303…容量制御部、310, 220, 230…可変容量部。

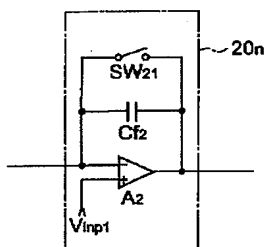
【図1】



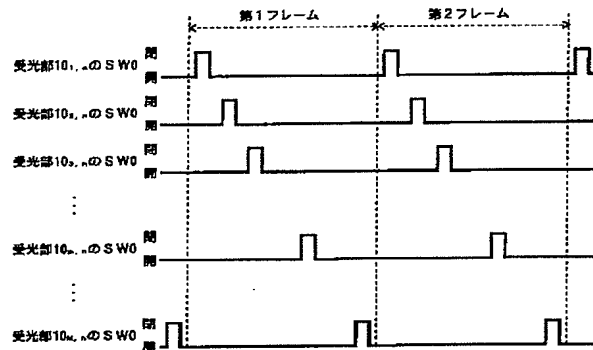
【図2】



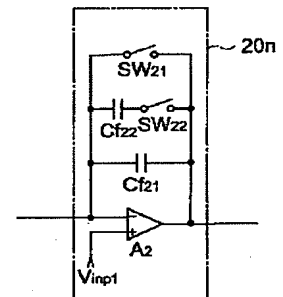
【図3】



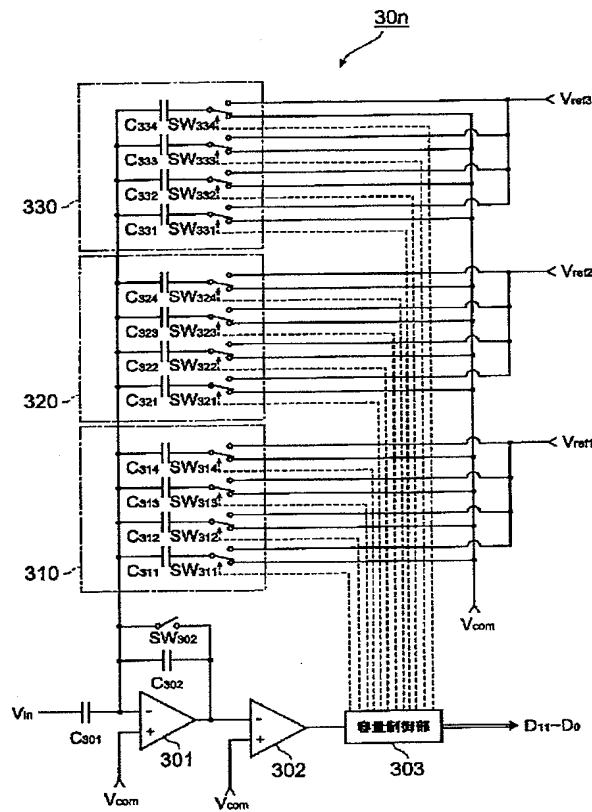
【図5】



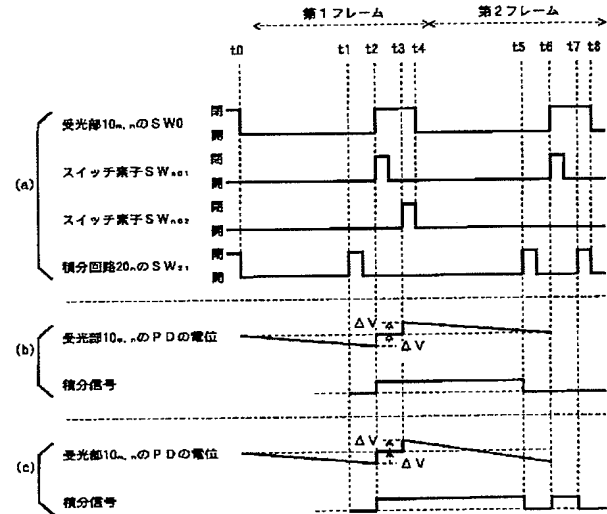
【図10】



【図4】



【図6】



【図7】

V_{1n}	D_{11}	D_{10}	D_9	D_8
$15V_{ref1}/16 \sim V_{ref1}$	1	1	1	1
$14V_{ref1}/16 \sim 15V_{ref1}/16$	1	1	1	0
$13V_{ref1}/16 \sim 14V_{ref1}/16$	1	1	0	1
$12V_{ref1}/16 \sim 13V_{ref1}/16$	1	1	0	0
$11V_{ref1}/16 \sim 12V_{ref1}/16$	1	0	1	1
$10V_{ref1}/16 \sim 11V_{ref1}/16$	1	0	1	0
$9V_{ref1}/16 \sim 10V_{ref1}/16$	1	0	0	1
$8V_{ref1}/16 \sim 9V_{ref1}/16$	1	0	0	0
$7V_{ref1}/16 \sim 8V_{ref1}/16$	0	1	1	1
$6V_{ref1}/16 \sim 7V_{ref1}/16$	0	1	1	0
$5V_{ref1}/16 \sim 6V_{ref1}/16$	0	1	0	1
$4V_{ref1}/16 \sim 5V_{ref1}/16$	0	1	0	0
$3V_{ref1}/16 \sim 4V_{ref1}/16$	0	0	1	1
$2V_{ref1}/16 \sim 3V_{ref1}/16$	0	0	1	0
$V_{ref1}/16 \sim 2V_{ref1}/16$	0	0	0	1
$0 \sim V_{ref1}/16$	0	0	0	0

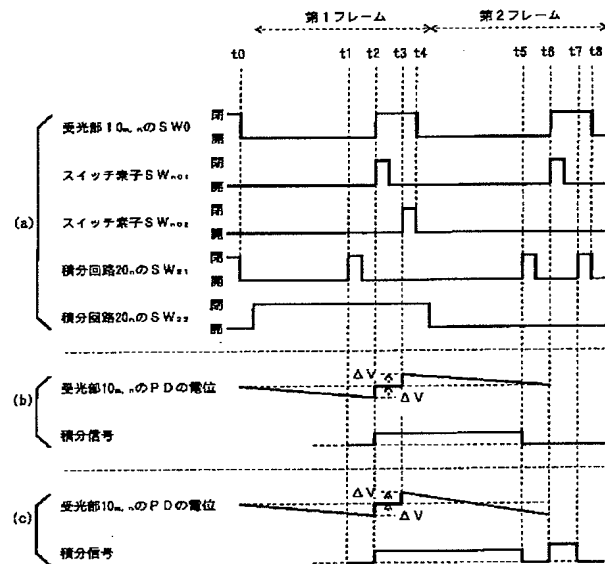
【図8】

V_{1n}	D_7	D_6	D_5	D_4
$15V_{ref2}/16 \sim V_{ref2}$	1	1	1	1
$14V_{ref2}/16 \sim 15V_{ref2}/16$	1	1	1	0
$13V_{ref2}/16 \sim 14V_{ref2}/16$	1	1	0	1
$12V_{ref2}/16 \sim 13V_{ref2}/16$	1	1	0	0
$11V_{ref2}/16 \sim 12V_{ref2}/16$	1	0	1	1
$10V_{ref2}/16 \sim 11V_{ref2}/16$	1	0	1	0
$9V_{ref2}/16 \sim 10V_{ref2}/16$	1	0	0	1
$8V_{ref2}/16 \sim 9V_{ref2}/16$	1	0	0	0
$7V_{ref2}/16 \sim 8V_{ref2}/16$	0	1	1	1
$6V_{ref2}/16 \sim 7V_{ref2}/16$	0	1	1	0
$5V_{ref2}/16 \sim 6V_{ref2}/16$	0	1	0	1
$4V_{ref2}/16 \sim 5V_{ref2}/16$	0	1	0	0
$3V_{ref2}/16 \sim 4V_{ref2}/16$	0	0	1	1
$2V_{ref2}/16 \sim 3V_{ref2}/16$	0	0	1	0
$V_{ref2}/16 \sim 2V_{ref2}/16$	0	0	0	1
$0 \sim V_{ref2}/16$	0	0	0	0

【図9】

V_s	D_s	D_z	D_1	D_0
$15V_{ref}/16 \sim V_{ref}$	1	1	1	1
$14V_{ref}/16 \sim 15V_{ref}/16$	1	1	1	0
$13V_{ref}/16 \sim 14V_{ref}/16$	1	1	0	1
$12V_{ref}/16 \sim 13V_{ref}/16$	1	1	0	0
$11V_{ref}/16 \sim 12V_{ref}/16$	1	0	1	1
$10V_{ref}/16 \sim 11V_{ref}/16$	1	0	1	0
$9V_{ref}/16 \sim 10V_{ref}/16$	1	0	0	1
$8V_{ref}/16 \sim 9V_{ref}/16$	1	0	0	0
$7V_{ref}/16 \sim 8V_{ref}/16$	0	1	1	1
$6V_{ref}/16 \sim 7V_{ref}/16$	0	1	1	0
$5V_{ref}/16 \sim 6V_{ref}/16$	0	1	0	1
$4V_{ref}/16 \sim 5V_{ref}/16$	0	1	0	0
$3V_{ref}/16 \sim 4V_{ref}/16$	0	0	1	1
$2V_{ref}/16 \sim 3V_{ref}/16$	0	0	1	0
$V_{ref}/16 \sim 2V_{ref}/16$	0	0	0	1
0 $\sim V_{ref}/16$	0	0	0	0

【図11】



フロントページの続き

(51)Int.Cl.⁷

H01L 27/146

H04N 5/335

識別記号

F I

H04N 5/335

H01L 27/14

テームコード (参考)

P

A

(72)発明者 藤田 一樹

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

(72)発明者 向坂 直久

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

(72)発明者 豊田 晴義

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

Fターム (参考) 2G065 AA04 AA11 AB04 BA09 BA34

BC13 BC14 BC15 BC28 BC35

BE08

4M118 AA10 AB01 BA14 CA02 CA19

FA06

5C024 AX01 CY26 GX03 GX18 HX23

HX31